

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 08146087 A

(43) Date of publication of application: 07.06.96

(51) Int. Cl.

G01R 31/28

(21) Application number: 06288227

(22) Date of filing: 22.11.94

(71) Applicant: FUJI XEROX CO LTD

(72) Inventor: YOSHIMURA SHYOUTAROU

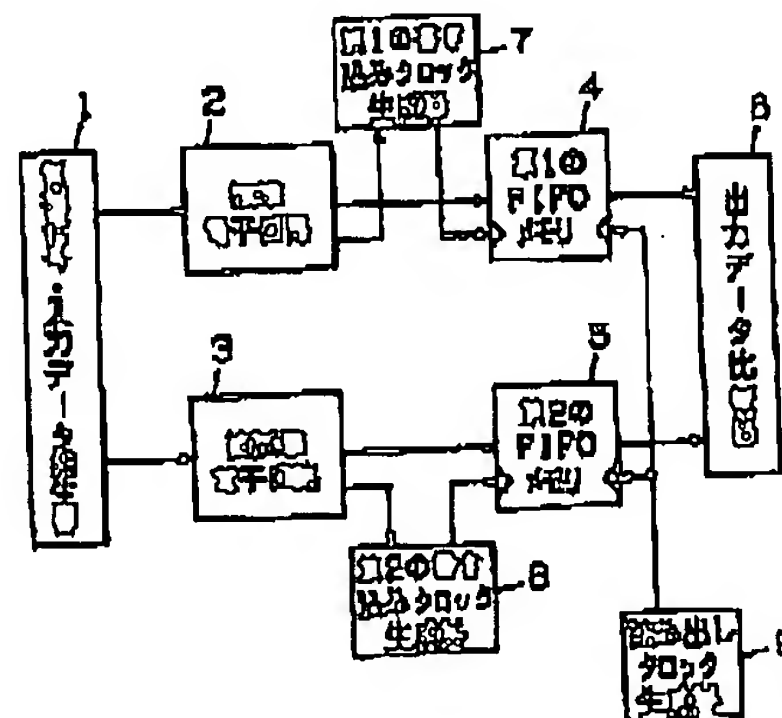
(54) INSPECTION APPARATUS FOR ELECTRONIC CIRCUIT

COPYRIGHT: (C)1996,JPO

(57) Abstract:

PURPOSE: To provide an inspection apparatus capable of inspecting an electronic circuit to be tested by the comparison of output data regardless of the time lag between the outputs of a standard electronic circuit and the electronic circuit to be tested.

CONSTITUTION: The same data is given to a standard electronic circuit 2 and an electronic circuit 3 to be tested from a control signal/input data generator 1, and instruction to start processing is given. The standard electronic circuit 2 and the electronic circuit 3 to be tested process data in internal timing to output data. The output data are written in first and second FIFO memories 4, 5 by the writing clocks independently formed by first and second writing clock forming devices 7, 8. The data written in the first and second FIFO memories 4, 5 are read by the same reading clock formed by a reading clock forming device 9 to be compared and judged by an output data comparator 6.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-146087

(43)公開日 平成8年(1996)6月7日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 0 1 R 31/28

G 0 1 R 31/ 28

D

審査請求 未請求 請求項の数2 O L (全 6 頁)

(21)出願番号 特願平6-288227

(22)出願日 平成6年(1994)11月22日

(71)出願人 000005496

富士ゼロックス株式会社

東京都港区赤坂三丁目3番5号

(72)発明者 吉村 祥太郎

神奈川県海老名市本郷2274番地 富士ゼロックス株式会社内

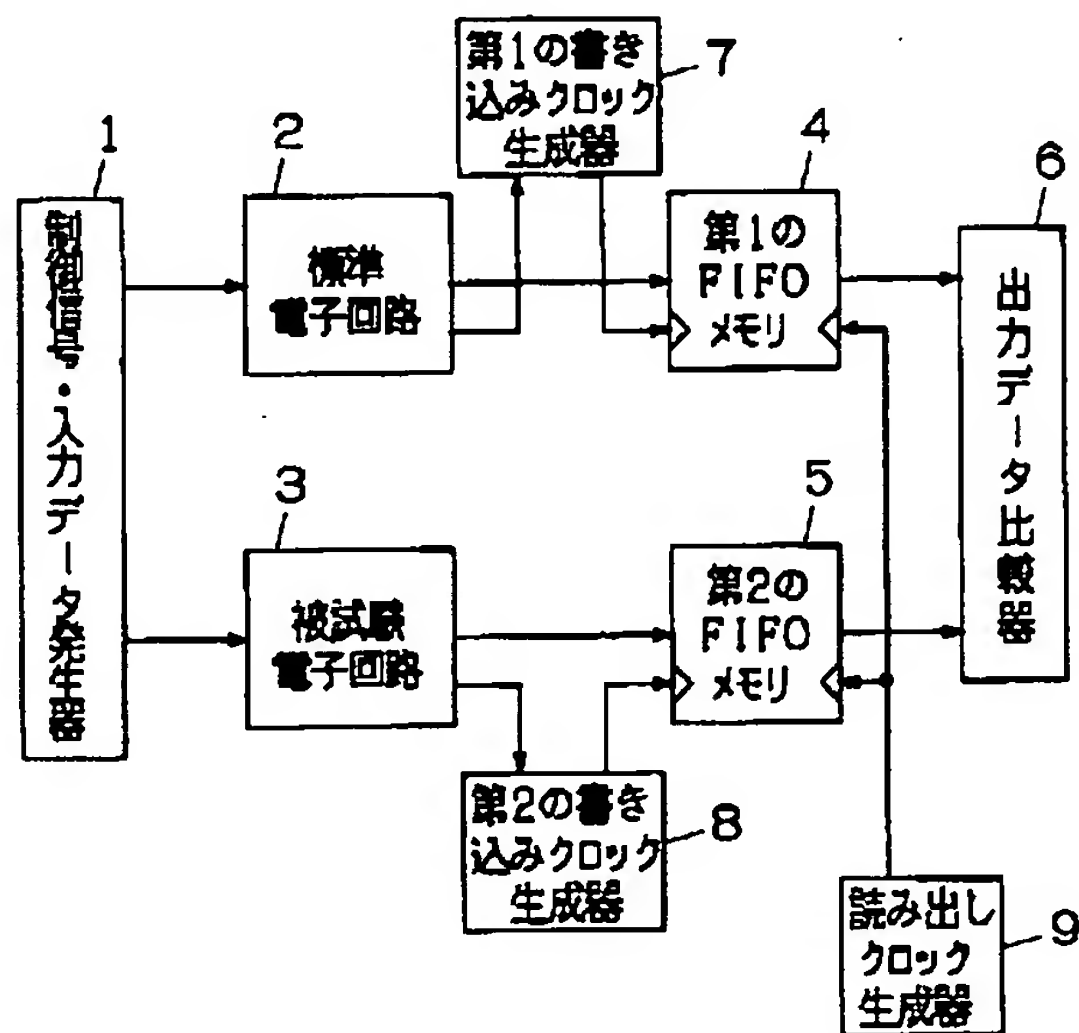
(74)代理人 弁理士 石井 康夫 (外1名)

(54)【発明の名称】 電子回路の検査装置

(57)【要約】

【目的】 標準電子回路と被試験電子回路の出力の時間差にかかわらず、出力データの比較によって被試験電子回路の検査を行なうことのできる電子回路の検査装置を提供する。

【構成】 標準電子回路2及び被試験電子回路3に対し、制御信号・入力データ発生器1から同一データが与えられ、処理の開始が指示される。標準電子回路2と被試験電子回路3は、それぞれ内部のタイミングでデータを処理し、データを出力する。出力データは、第1、第2の書き込みクロック生成器7、8でそれぞれ独立して生成された書き込みクロックによって、第1、第2のFIFOメモリ4、5に書き込まれる。第1、第2のFIFOメモリ4、5に書き込まれたデータは、読み出しクロック生成器9で生成された同一の読み出しクロックにより読み出され、出力データ比較器6で比較、判定が行なわれる。



【特許請求の範囲】

【請求項1】 被試験電子回路の動作を検査する電子回路の検査装置において、標準となる標準電子回路と、該標準電子回路の後段に設けられ該標準電子回路の動作に応じたタイミングで出力が書き込まれる第1の記憶手段と、前記被試験電子回路の後段に設けられ該被試験電子回路の動作に応じたタイミングで出力が書き込まれる第2の記憶手段と、前記第1の記憶手段および前記第2の記憶手段から同一の読み出しクロックにより内容を順次読み出して比較する比較手段を有することを特徴とする電子回路の検査装置。

【請求項2】 前記標準電子回路から前記第1の記憶手段に書き込み開始されたことおよび前記被試験電子回路から前記第2の記憶手段に書き込み開始されたことを検知し該検知に従ってどちらか遅い回路のクロックと同等あるいはそれより遅い読み出しクロックを生成する読み出しクロック生成手段を有し、該読み出しクロック生成手段で生成されたクロックにより前記第1の記憶手段及び前記第2の記憶手段から内容を順次読み出し、前記比較手段で比較を行なうことを特徴とする請求項1に記載の電子回路の検査装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、被試験電子回路の出力と標準電子回路の出力を比較することによって、被試験電子回路の動作を検査する電子回路の検査装置に関するものである。

【0002】

【従来の技術】 従来、電子回路の試験を行なう場合、試験を行なうべき電子回路（被試験電子回路）と標準との比較を行なっている。その比較方法として、大きく2つの方法がある。1つの方法は、被試験電子回路へ信号発生器から入力を与え、出力される信号を検査装置にあらかじめ準備しておいた期待データと比較して判定する方法である。この方法では、検査装置内に期待データを用意しておく必要があるが、期待データの作りこみに大変な労力を必要とし、特に画像データのような大容量データを扱う回路の場合、膨大な期待データを準備し、検査装置内に保持しなくてはならないという問題がある。

【0003】 もう1つの方法は、標準となる電子回路（標準電子回路）と被試験電子回路へ入力信号発生器から同一の信号を与え、それぞれから出力される信号を比較することによって判定する方法である。この方法では、期待データを準備する必要がないので、検査装置を簡略化することができる。しかし、内部の発振手段により動作する回路の場合、標準電子回路と被試験電子回路からの出力のタイミングがずれてしまい、比較判定が困難になる場合がある。例えば、マイクロコンピュータなどのように、命令を受け取って内部で実行し、出力に現れるまでの時間が一定でない回路の出力を標準電子回路

の出力と比較することは困難である。

【0004】 このような出力タイミングが相違する回路の測定方法として、例えば、特公平3-9427号公報に記載されている方法がある。この測定方法では、素子へ入力するクロックを制御して、標準および、被試験素子の出力を同期させて比較することが考えられている。しかし、内部の発振手段により動作する回路の場合、標準電子回路および被試験電子回路の出力信号を同期させるためには、内部発振手段を無効にした上で、制御されたクロックを入力しなければならない。また、任意の位相のクロックを作成するためには、発振スピードを可変にする必要があり、技術的に難しいという問題がある。

【0005】

【発明が解決しようとする課題】 本発明は、標準電子回路と被試験電子回路の出力の時間差にかかわらず、出力データの比較によって被試験電子回路の検査を行なうことのできる電子回路の検査装置を提供することを目的とするものである。

【0006】

【課題を解決するための手段】 本発明は、請求項1に記載の発明においては、被試験電子回路の動作を検査する電子回路の検査装置において、標準となる標準電子回路と、該標準電子回路の後段に設けられ該標準電子回路の動作に応じたタイミングで出力が書き込まれる第1の記憶手段と、前記被試験電子回路の後段に設けられ該被試験電子回路の動作に応じたタイミングで出力が書き込まれる第2の記憶手段と、前記第1の記憶手段および前記第2の記憶手段から同一の読み出しクロックにより内容を順次読み出して比較する比較手段を有することを特徴とするものである。

【0007】 請求項2に記載の発明においては、請求項1に記載の電子回路の検査装置において、前記標準電子回路から前記第1の記憶手段に書き込み開始されたことおよび前記被試験電子回路から前記第2の記憶手段に書き込み開始されたことを検知し該検知に従ってどちらか遅い回路のクロックと同等あるいはそれより遅い読み出しクロックを生成する読み出しクロック生成手段を有し、該読み出しクロック生成手段で生成されたクロックにより前記第1の記憶手段及び前記第2の記憶手段から内容を順次読み出し、前記比較手段で比較を行なうことを特徴とするものである。

【0008】

【作用】 本発明によれば、標準電子回路と被試験電子回路に同一のデータを与え、標準電子回路からの出力を標準電子回路の動作に応じたタイミングで第1の記憶手段に書き込み、被試験電子回路からの出力を被試験電子回路の動作に応じたタイミングで第2の記憶手段に書き込む。そして、第1の記憶手段および第2の記憶手段から同一の読み出しクロックにより内容を順次読み出して比較手段で比較する。これにより、第1の記憶手段及び第

2の記憶手段で標準電子回路と被試験電子回路の出力の時間差を吸収し、同じタイミングで比較することができる。そのため、従来必要となっていた膨大な期待データを用意することなく、また、例えば、内部の発振手段により動作する回路や、入力から出力までに要する時間が変化する回路などの検査を容易に行なうことができる。

【0009】

【実施例】図1は、本発明の電子回路の検査装置の第1の実施例を示すブロック構成図である。図中、1は制御信号・入力データ発生器、2は標準電子回路、3は被試験電子回路、4は第1のFIFOメモリ、5は第2のFIFOメモリ、6は出力データ比較器、7は第1の書き込みクロック生成器、8は第2の書き込みクロック生成器、9は読み出しクロック生成器である。

【0010】標準電子回路2と被試験電子回路3は同一の構成であり、内部に発振器を持つ自走回路であるものとする。外部からの制御および、データ入力に対するレスポンス時間は一定ではない。制御信号・入力データ発生器1は、動作の開始信号や、試験のために入力すべきデータを発生し、標準電子回路2及び被試験電子回路3に対して入力する。

【0011】第1のFIFOメモリ4には、第1の書き込みクロック生成器7で生成されるクロックに従って標準電子回路2の出力が順次書き込まれる。また、第2のFIFOメモリ5には、第2の書き込みクロック生成器8で生成されるクロックに従って被試験電子回路3の出力が順次書き込まれる。第1のFIFOメモリ4および第2のFIFOメモリ5は、読み出しクロック生成器9のクロックに従って、先に書き込まれたデータから順次読み出される。出力データ比較器6は、第1のFIFOメモリ4及び第2のFIFOメモリ5から読み出されたデータを比較し、判定結果を出力する。

【0012】第1の書き込みクロック生成器7は、標準電子回路2から出力される同期信号に応じて第1のFIFOメモリ4の書き込みクロックを生成する。同様に、第2の書き込みクロック生成器8は、被試験電子回路3から出力される同期信号に応じて第2のFIFOメモリ5の書き込みクロックを生成する。読み出しクロック生成器9は、読み出しクロックを生成する。この読み出しクロックは、標準電子回路2または被試験電子回路3のどちらか遅い方のクロックと同等あるいはそれより遅いクロックである必要がある。

【0013】次に、本発明の電子回路の検査装置の一実施例における動作の一例を説明する。まず、標準電子回路2及び被試験電子回路3に対し、制御信号・入力データ発生器1から同一データを与え、また、データの処理を指示する制御信号を与える。処理を指示された標準電子回路2と被試験電子回路3は、それぞれ内部のタイミングでデータを処理し、各々、別々のタイミングでデータの出力を開始する。第1の書き込みクロック生成器7

及び第2の書き込みクロック生成器8は、標準電子回路2及び被試験電子回路3からのデータの出力開始とともに出力される同期信号を検出し、それぞれ独立して書き込みクロックを生成し、それぞれ第1のFIFOメモリ4、第2のFIFOメモリ5に与える。標準電子回路2及び被試験電子回路3から出力されたデータは、両回路の後段にある第1のFIFOメモリ4及び第2のFIFOメモリ5に、第1及び第2の書き込みクロック生成器7、8で生成した書き込みクロックでデータを書き込む。

【0014】読み出しクロック生成器9は、読み出しクロックを生成し、第1及び第2のFIFOメモリ4、5に対して与える。この読み出しクロックに基づき、第1及び第2のFIFOメモリ4、5からデータが出力される。出力データ比較器6は、第1及び第2のFIFOメモリ4、5から出力されたデータを比較し、判定を行なう。

【0015】このように、第1及び第2のFIFOメモリ4、5には、独立して動作する標準電子回路2及び被試験電子回路3からの出力がそれぞれの動作に応じた書き込みクロックで書き込まれる。そして、同一の読み出しクロックによってデータの読み出しを行なっている。これにより、標準電子回路2及び被試験電子回路3の内部のクロックを変更することなく出力の時間差を吸収でき、両回路の速度差が存在しても比較を行なうことができるようになる。

【0016】図2は、本発明の電子回路の検査装置の第2の実施例を示すブロック構成図である。図中、図1と同様の部分には同じ符号を付して説明を省略する。10は第1の入力データ発生器、11は第2の入力データ発生器、12は制御信号発生器、13は画像処理標準回路、14は画像処理被試験回路である。この実施例では、標準電子回路及び被試験電子回路として、画像処理回路を用いた場合の例を示している。もちろん、その他の回路であってもよい。

【0017】第1の入力データ発生器10は、画像処理標準回路13からの入力データの要求に応じて、画像処理標準回路13への入力データを出力する。第2の入力データ発生器11は、画像処理被試験回路14からの入力データの要求に応じて、画像処理被試験回路14への入力データを出力する。制御信号発生器12は、画像処理標準回路13及び画像処理被試験回路14に対して、画像処理を指示する。読み出しクロック生成器9は、画像処理標準回路13および画像処理被試験回路14のうち、データ出力の遅れた回路の同期信号を選択して、選択した同期信号に基づき読み出しクロックを生成する。

【0018】次に、本発明の電子回路の検査装置の第2の実施例における動作の一例を説明する。制御信号発生器12は、画像処理標準回路13および画像処理被試験回路14に対し、画像処理を指示する。画像処理標準回

10

20

30

40

50

路13は、画像処理被試験回路14は、それぞれ内部のタイミングでデータを処理し、必要に応じて第1または第2の入力データ発生器10、11に対して入力データを要求する。第1及び第2の入力データ発生器10、11では、画像処理標準回路13、画像処理被試験回路14から出力される同期信号に従って、データを出力する。画像処理標準回路13、画像処理被試験回路14は、第1、第2の入力データ発生器10、11から出力されるデータを入力データとして取り込み、処理を行なうことになる。

【0019】画像処理標準回路13、画像処理被試験回路14は、処理結果を同期信号とともに出力する。同期信号は、それぞれ第1、第2の書き込みクロック生成器7、8に入力され、書き込みクロックが生成されて第1、第2のFIFOメモリ4、5に入力される。画像処理標準回路13、画像処理被試験回路14から出力された画像データは、それぞれ書き込みクロック生成器7、8で生成された書き込みクロックに基づき、第1、第2のFIFOメモリ4、5に書き込まれる。

【0020】読み出しクロック生成器9では、画像処理標準回路13および画像処理被試験回路14から出力される同期信号をモニターしており、両方の回路から画像データが出力されたことを確認すると、第1及び第2のFIFOメモリ4、5に読み出しクロックを出力する。図3は、読み出しクロックのタイミングの説明図である。例えば、画像処理標準回路13の方が画像処理被試験回路14よりも先行して出力を開始したとする。画像処理標準回路13が出力を開始した時点では、まだ画像処理被試験回路14は出力を開始していないので、読み出しクロックを出力しない。その後、画像処理被試験回路14が出力を開始した時点で、図3に示すように読み出しクロックの出力を開始する。

【0021】出力データ比較器6では、同じタイミングで画像処理標準回路13と画像処理被試験回路14から出力される画像データを得て、2つの出力データの比較を行なうことができる。この比較結果に基づき、画像処理被試験回路14の試験結果を得ることができる。

【0022】上述の動作例において、読み出しクロックは、画像処理標準回路13、画像処理被試験回路14の出力データが書き込まれるタイミングを追い越すような速度であってはならない。すなわち、読み出しクロックの終了は、画像処理標準回路13及び画像処理被試験回路14の出力データの書き込みが終了した時点、あるいはそれ以後となる必要がある。読み出しクロックの速度は、この条件を満たすような速度である必要がある。

【0023】上述の動作例では、読み出しクロック生成器9が画像処理標準回路13及び画像処理被試験回路14からデータが出力されたことを知るための手段として、各回路の同期信号を利用している。これは、各回路からデータが出力されたことがわかればどんな方法でも

よく、例えば、第1及び第2のFIFOメモリ4、5から出力されるエンプティ信号などを使ってもよい。または、第1及び第2の書き込みクロック生成器7、8から出力される書き込みクロックを用いることも可能である。

【0024】上述の各例では、出力データ比較器6の比較動作は、読み出しクロックによって次のデータが読み出されるまでに終了しているものとして説明しているが、出力データ比較器6、あるいはそれよりも後段の回路における処理速度が遅い場合も考えられる。このような場合には、遅い処理のタイミング信号を読み出しクロック生成器9に入力し、これらの処理速度を考慮した読み出しクロックを生成するように構成することも可能である。これにより、第1及び第2のFIFOメモリによって、標準電子回路及び被試験電子回路と後段の回路との速度差をも吸収することができる。

【0025】上述の各例においては、標準電子回路及び被試験電子回路からの出力は、同期信号に応じて出力が開始されるが、各データに応じたクロック信号が出力されていない場合を例として説明している。そのため、同期信号に基づいて、第1、第2の書き込みクロック生成器で書き込みクロックを生成している。出力データが標準電子回路及び被試験電子回路の内部のクロックに従って生成されている場合もあり、このような場合に標準電子回路及び被試験電子回路の内部のクロックを取り出すことが可能な回路であれば、内部のクロックに従って書き込みクロックを生成するように構成することができる。

【0026】また、電子回路によっては、個々の出力データの出力とともに、クロック信号が出力されている場合がある。このような場合には、書き込みクロック生成器7、8を用いず、タイミング信号を直接第1、第2のFIFOメモリ4、5へ入力するように構成してもよい。

【0027】第1及び第2のFIFOメモリ4、5は、他の記憶手段で代替が可能である。例えば、2ポートメモリや、通常の半導体メモリ、大容量記憶装置など、種々の記憶手段を用いることができる。これらの記憶手段を用いる場合には、第1及び第2の書き込みクロック生成器7、8は、書き込みクロックとともに書き込みアドレスを生成し、読み出しクロック生成器9は読み出しクロックとともに読み出しアドレスを生成するように構成すればよい。

【0028】

【発明の効果】以上の説明から明らかなように、本発明によれば、内部の発振手段により動作する回路においても、標準電子回路と被試験電子回路の出力の時間差にかかわらず、標準電子回路との比較によって検査を行なうことができる。これによって、膨大な期待データを用意することなく、しかもリアルタイムに被試験電子回路の

7

試験が行なえるという効果がある。

【図面の簡単な説明】

【図1】 本発明の電子回路の検査装置の第1の実施例を示すブロック構成図である。

【図2】 本発明の電子回路の検査装置の第2の実施例を示すブロック構成図である。

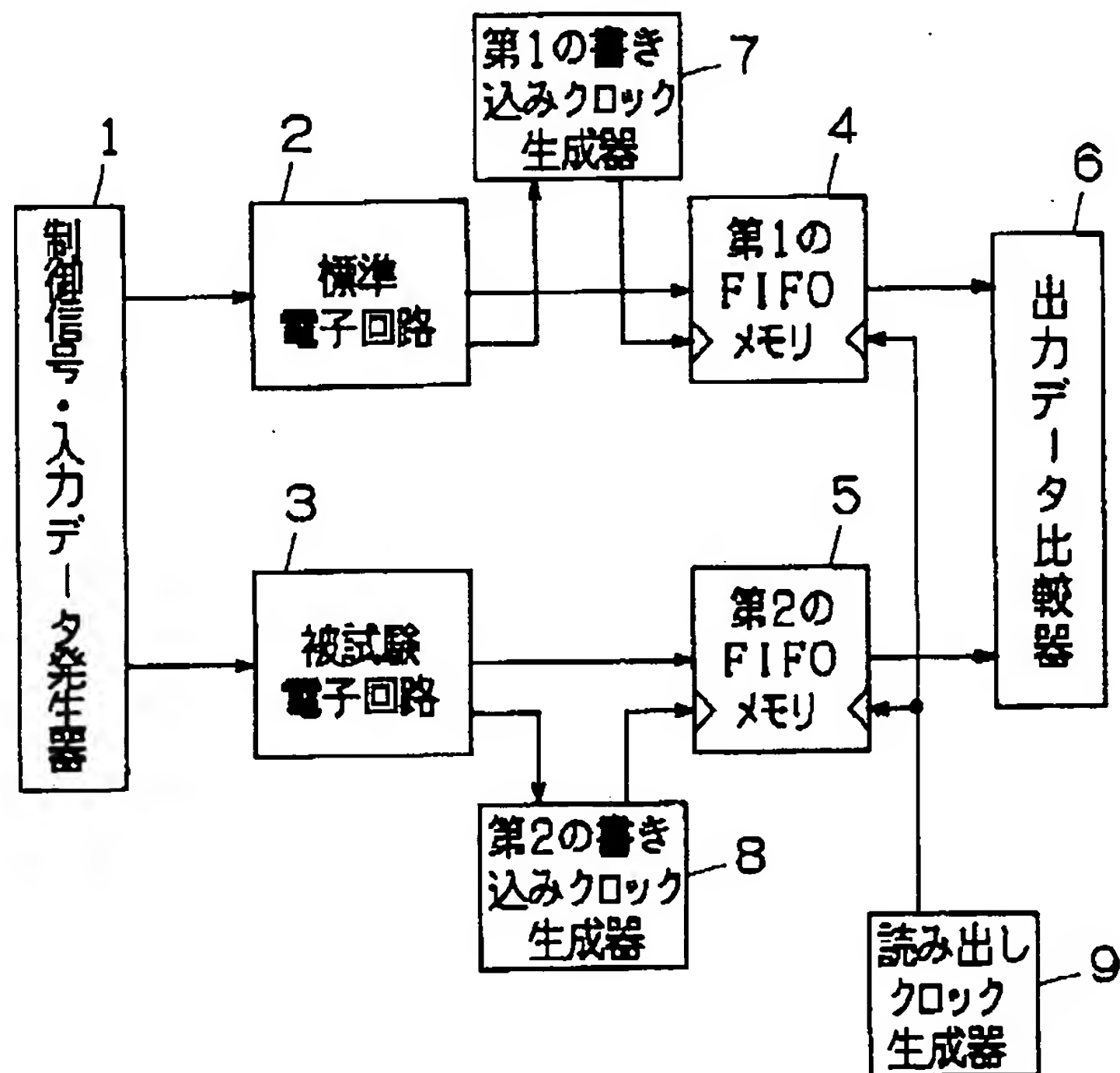
【図3】 読み出しクロックのタイミングの説明図である。

【符号の説明】

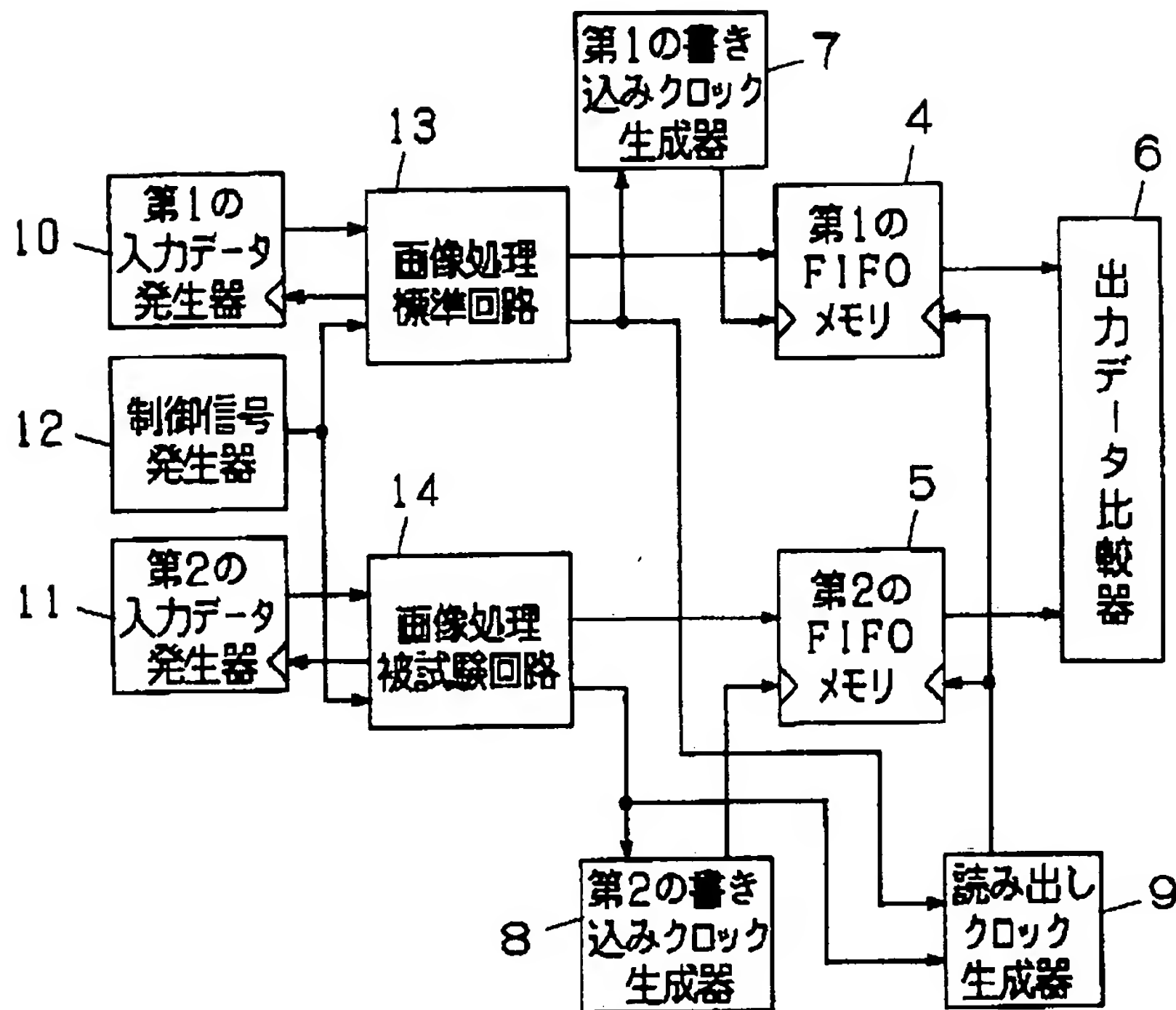
8

1…制御信号・入力データ発生器、2…標準電子回路、3…被試験電子回路、4…第1のFIFOメモリ、5…第2のFIFOメモリ、6…出力データ比較器、7…第1の書き込みクロック生成器、8…第2の書き込みクロック生成器、9…読み出しクロック生成器、10…第1の入力データ発生器、11…第2の入力データ発生器、12…制御信号発生器、13…画像処理標準回路、14…画像処理被試験回路。

【図1】



【図2】



【図3】

